



⑩ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ **Offenlegungsschrift**
⑩ **DE 199 19 360 A 1**

⑤ Int. Cl. 7:
G 11 C 11/22

⑳ Aktenzeichen: 199 19 360.6
㉑ Anmeldetag: 28. 4. 1999
㉒ Offenlegungstag: 2. 11. 2000

DE 199 19 360 A 1

㉑ Anmelder:
Siemens AG, 80333 München, DE

㉒ Erfinder:
Hönigschmid, Heinz, 82319 Starnberg, DE; Braun,
Georg, 80339 München, DE

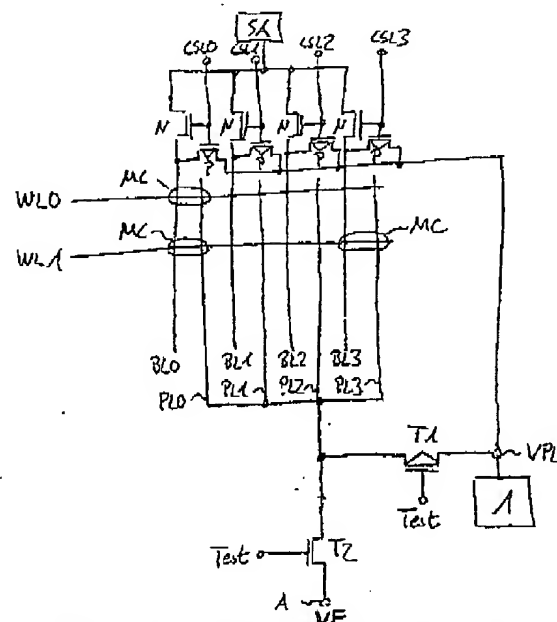
㉓ Entgegenhaltungen:
DE 197 32 694 A1
DE 43 15 714 A1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

㉔ Integrierter Speicher mit Bitleitungen, Wortleitungen und Plattenleitungen sowie Betriebsverfahren für einen entsprechenden Speicher

㉕ Der integrierte Speicher weist Speicherzellen (MC) auf, die in Kreuzungspunkten von Bitleitungen (BLi), Wortleitungen (WLk) und Plattenleitungen (PLi) angeordnet sind. In einer ersten Betriebsart bleiben die Plattenleitungen (PLi) während Schreibzugriffen auf einem konstanten Plattenpotential (VPL). In einer zweiten Betriebsart bleiben die Bitleitungen (BLi) auf dem Plattenpotential (VPL), während wenigstens eine der Plattenleitungen (PLi) ein bestimmtes Potential (VF) annimmt, das sich vom Plattenpotential (VPL) unterscheidet.



DE 199 19 360 A 1

DE 199 19 360 A 1

1

Beschreibung

Die Erfindung betrifft einen integrierten Speicher mit Bitleitungen, Wortleitungen und Plattenleitungen sowie ein entsprechendes Betriebsverfahren für einen entsprechenden Speicher.

In dem Artikel "The Charge-Share Modified (CSM) Pre-charge-Level Architecture for High-Speed and Low-Power Ferroelectric Memory" von H. Fujisawa et al., in: IEEE Journal of Solid-State Circuits, Vol.32, NO. 5, May 1997, Seite 655 ff. ist ein ferroelektrischer Speicher vom Typ FRAM bzw. FRAM beschrieben. Dies sind Speicher, die ähnlich wie DRAMs (Dynamic Random Access Memories) aufgebaut sind, deren Speicherzellen jedoch Speicherkondensatoren mit einem ferroelektrischen Dielektrikum aufweisen. Die Speicherzellen sind in Kreuzungspunkten von Wortleitungen und Bitleitungen angeordnet. Eine Elektrode der Speicherkondensatoren ist mit einem festen Plattenpotential verbunden. Das feste Plattenpotential liegt in der Mitte zwischen zwei Versorgungspotentialen des FRAMs. Im Gegensatz zu FRAMs, bei denen das Plattenpotential nicht konstant gehalten wird, sondern gepulst wird (sogenanntes "Pulsed Plate-Konzept") wird das im genannten Artikel beschriebene Konzept mit konstantem Plattenpotential im allgemeinen auch als "VDD/2-Konzept" bezeichnet.

Die 1-Transistor/1-Kondensator-Speicherzellen des bekannten FRAMs speichern unterschiedliche logische Zustände durch entsprechende unterschiedliche Polarisation des ferroelektrischen Dielektrikums ihres Speicherkondensators. Eine Beeinflussung der Polarisation und somit des gespeicherten logischen Zustands der Speicherzelle erfolgt nicht, wenn bei leitendem Auswahltransistor an beiden Elektroden des Speicherkondensators das gleiche Potential anliegt, das heißt, wenn über dem Speicherkondensator die Spannung 0 Volt anliegt. Um beispielsweise von mehreren Speicherzellen, die mit der gleichen Wortleitung verbunden sind, eine auszuwählen, auf die ein Lesezugriff erfolgen soll, wird in dem oben genannten Artikel beschrieben, alle Bitleitungen, mit Ausnahme der ausgewählten Bitleitung, auf das konstante Plattenpotential vorzuladen. Werden die nicht ausgewählten Bitleitungen über den Auswahltransistor der Speicherzellen mit der einen Elektrode der Speicherkondensatoren verbunden, liegt bei diesen Speicherkondensatoren an beiden Elektroden das Plattenpotential an und ihr Speichereinhalt wird nicht beeinflusst. Die ausgewählte Bitleitung jedoch wird auf ein vom Plattenpotential abweichendes Potential gebracht, so daß über dem Speicherkondensator der mit ihr verbundenen Speicherzelle eine Spannung abfällt. Dies führt zu einem Ladungsausgleich zwischen diesem Speicherkondensator und der ausgewählten Bitleitung, durch welchen das Potential der ausgewählten Bitleitung in Abhängigkeit des Polarisationszustands des Speicherkondensators unterschiedlich beeinflusst wird. Ein Leseverstärker verstärkt die auf diese Weise ausgelesene logische Information.

Auch bei einem Schreibzugriff auf den beschriebenen Speicher werden diejenigen Bitleitungen auf dem Plattenpotential gehalten, auf deren Speicherzellen nicht zugegriffen werden soll. Dagegen wird vom Leseverstärker das Potential der jeweils ausgewählten Bitleitung, deren Speicherzelle beschrieben werden soll, auf ein entsprechendes Schreibpotential gebracht, das sich vom Plattenpotential unterscheidet. Zum Einschreiben einer logischen Null wird die ausgewählte Bitleitung beispielsweise auf Masse entladen und zum Einschreiben einer logischen Eins wird sie auf den Wert des positiven Versorgungspotentials gebracht.

Bei bestimmten Anwendungen, beispielsweise in einem Testbetrieb, ist es erforderlich, in eine große Anzahl von

2

Speicherzellen die gleiche Information einzuschreiben. Ein einfacher Speichertest kann beispielsweise vorsehen, in sämtliche Speicherzellen eine logische Eins einzuschreiben und diese anschließend wieder auszulesen.

Um einen derartigen Test bei dem im obengenannten Artikel beschriebenen Speicher durchzuführen, müssen alle Speicherzellen nacheinander beschrieben werden, da gleichzeitig immer nur eine der Wortleitungen und eine der Bitleitungen und damit nur eine in deren Kreuzungspunkt befindliche Speicherzelle ausgewählt werden kann.

Der Erfindung liegt die Aufgabe zugrunde, einen integrierten Speicher anzugeben, bei dem ein gleichzeitiges Einschreiben derselben logischen Information in mehrere Speicherzellen auf einfachere Weise erfolgt.

Diese Aufgabe wird mit einem integrierten Speicher gemäß Patentanspruch 1 sowie mit einem Betriebsverfahren für einen integrierten Speicher gemäß Patentanspruch 8 gelöst. Vorteilhafte Aus- und Weiterbildungen der Erfindungen sind Gegenstand abhängiger Patentansprüche.

Der erfindungsgemäße integrierte Speicher hat eine erste Betriebsart und eine zweite Betriebsart. In der ersten Betriebsart weisen die Plattenleitungen ein konstantes Plattenpotential auf und die Bitleitungen weisen ebenfalls das Plattenpotential auf, sofern kein Zugriff auf eine der Speicherzellen erfolgt. Bei einem Schreibzugriff auf eine der Speicherzellen nimmt die mit dieser verbundene Bitleitung zum Einschreiben eines ersten logischen Zustands ein erstes Potential an, das kleiner als das Plattenpotential ist, und zum Einschreiben eines zweiten logischen Zustands ein zweites Potential, das größer als das Plattenpotential ist. In der zweiten Betriebsart weisen die Bitleitungen also grundsätzlich das Plattenpotential auf und bei einem Schreibzugriff nimmt wenigstens eine der Plattenleitungen ein bestimmtes Potential an, das sich vom Plattenpotential unterscheidet.

Während sich also der erfindungsgemäße Speicher in der ersten Betriebsart wie bekannte FRAMs und damit so wie weiter oben anhand des Artikels von H. Fujisawa et al. beschrieben verhält, das heißt ein Schreibzugriff auf die Speicherzellen erfolgt durch Veränderungen des Potentials der Bitleitungen, erfolgt in der zweiten Betriebsart ein Einschreiben von Informationen nicht durch Veränderung des Potentials der Bitleitungen sondern durch Veränderung des Potentials der Plattenleitungen. Das bedeutet, der erfindungsgemäße Speicher arbeitet in der ersten Betriebsart wie ein herkömmlicher Speicher, der nach dem VDD/2-Konzept betrieben wird, während in der zweiten Betriebsart die mit den Plattenleitungen verbundenen Elektroden seiner zu beschreibenden Speicherkondensatoren nicht mehr mit dem konstanten Plattenpotential sondern mit dem davon abweichenden bestimmten Potential verbunden sind. In der ersten Betriebsart wird die zum Einschreiben einer neuen logischen Information in den Speicherzellen erforderliche Spannung am jeweiligen Speicherkondensator also durch Veränderung des Potentials der jeweiligen Bitleitung erzeugt, während das Potential der Plattenleitungen konstant gehalten wird. Dagegen erfolgt in der zweiten Betriebsart die Erzeugung der notwendigen Schreibspannung über dem Speicherkondensator durch Konstanthalten des Potentials der Bitleitungen und durch Ändern des Potentials der entsprechenden Plattenleitungen auf einen vom konstanten Plattenpotential abweichenden Wert.

Der erfindungsgemäße Speicher hat den Vorteil, daß bei ihm auf einfache Weise dieselbe Information gleichzeitig in mehrere Speicherzellen eingeschrieben werden kann. Dies geschieht gleichzeitig bei allen Speicherzellen, deren zugehörige Plattenleitungen das bestimmte Potential annehmen, das vom Plattenpotential abweicht. Im Extremfall können alle Plattenleitungen des Speichers gleichzeitig das be-

DE 199 19 360 A 1

3

stimmte Potential annehmen, so daß in alle Speicherzellen gleichzeitig dieselbe logische Information eingeschrieben wird.

Es ist möglich, daß die Plattenleitungen Bestandteile einer zusammenhängenden Zellplatte sind und somit eine zusammenhängende Fläche bilden. Durch Veränderungen des Potentials dieser Zellplatte werden dann alle Plattenleitungen und die mit diesen verbundenen Elektroden der Speicherkondensatoren gleichzeitig auf das geänderte Potential gebracht.

Nach einer Weiterbildung ist das bestimmte Potential entweder das erste oder das zweite Potential, das die Bitleitungen bei einem Schreibzugriff in der ersten Betriebsart annehmen. Ist das bestimmte Potential gleich dem ersten Potential, wird bei einem Schreibzugriff in der zweiten Betriebsart der zweite logische Zustand in die entsprechende Speicherzelle eingeschrieben. Ist das bestimmte Potential gleich dem zweiten Potential, wird der erste logische Zustand in die entsprechende Speicherzelle eingeschrieben.

Nach einer alternativen Weiterbildung liegt das bestimmte Potential zwischen dem Plattenpotential und entweder dem ersten oder dem zweiten Potential. Dies hat zur Folge, daß der erste bzw. der zweite logische Zustand nicht mit ihrem vollen Pegel in die entsprechende Speicherzelle eingeschrieben werden, sondern mit einem geschwächten Pegel. Auf diese Weise läßt sich vorteilhaft eine Alterung der Speicherzellen simulieren, als deren Folge ebenfalls eine Schwächung des in deren Speicherzellen gespeicherten Signals erfolgt. Durch die Simulation der Alterung durch die nicht mit vollem Signalpegel eingeschriebenen logischen Zustände läßt sich vorteilhaft die für einen Dauertest erforderliche Zeit verkürzen. Dies liegt daran, daß die Speicherzellen bereits mit "geschwächten" Bits beschrieben werden, die bei herkömmlichen Speichern, bei denen ein Beschreiben mit vollem Signalpegel erfolgt, erst nach einer längeren Zeitspanne aufgrund von auftretenden Leckströmen erreicht werden.

Nach einer Weiterbildung weist der integrierte Speicher eine Anschlußfläche zum Zuführen des bestimmten Potentials von außerhalb des Speichers auf. Dies hat den Vorteil, daß der Wert des bestimmten Potentials beliebig gewählt werden und während des Betriebs des Speichers auch geändert werden kann.

Nach einer Weiterbildung der Erfindung weist der Speicher Wortleitungstreiber auf, die Ausgänge eines Wortleistungsdecoders mit jeweils einer der Wortleitungen verbinden, sowie einen Spannungsgenerator zur Erzeugung einer ersten Versorgungsspannung für die Wortleitungstreiber in der ersten Betriebsart. Ferner weist der Speicher eine Anschlußfläche zur Zuführung einer zweiten Versorgungsspannung für die Wortleitungstreiber in der zweiten Betriebsart auf. Dies hat den Vorteil, daß die zweite Versorgungsspannung beliebig und unabhängig von der ersten Versorgungsspannung gewählt werden kann.

Eine Ausführungsform des erfindungsgemäßen Betriebsverfahrens sieht vor, daß die zweite Versorgungsspannung kleiner als die erste Versorgungsspannung ist. Hierdurch wird die Leistungsaufnahme des Speichers in der zweiten Betriebsart gesenkt, verglichen mit dem Fall, daß die Wortleitungstreiber auch in der zweiten Betriebsart mit der höheren ersten Versorgungsspannung versorgt werden. Die zweite Versorgungsspannung kann alternativ zur Zuführung über eine Kontaktfläche auch innerhalb des integrierten Speichers generiert werden.

Nach einer Weiterbildung des Betriebsverfahrens wird die zweite Versorgungsspannung so gewählt, daß bei Aktivierung einer der Wortleitungen über den zugehörigen Wortleitungstreiber das Potential der Wortleitung größer als das

4

Plattenpotential zuzüglich der Einsatzspannung der Auswahltransistoren der Speicherzellen ist, jedoch kleiner als die erste Versorgungsspannung. In der ersten Betriebsart müssen die Auswahltransistoren beim Einschreiben eines der beiden logischen Zustände ein Potential von einer der Bitleitungen zum entsprechenden Speicherkondensator übertragen, das größer als das Plattenpotential ist (normalerweise ist dies beim Einschreiben einer logischen Eins der Fall). Daher müssen die Wortleitungen zum Durchschalten der Auswahltransistoren auf ein Potential gebracht werden, das größer als das höchste auf den Bitleitungen auftretende Potential zuzüglich der Einsatzspannung der Auswahltransistoren ist. Entsprechend hoch muß die erste Versorgungsspannung für die erste Betriebsart gewählt werden. Da in der zweiten Betriebsart das Potential der Bitleitungen konstant und gleich dem Plattenpotential ist, wird dieses Potential ohne Verlust zu den entsprechenden Elektroden der Speicherkondensatoren übertragen, wenn an den zugehörigen Auswahltransistoren über die Wortleitungen ein Potential anliegt, das mindestens gleich dem Plattenpotential zuzüglich der Einsatzspannung der Auswahltransistoren ist.

Nach einer alternativen Weiterbildung des Betriebsverfahrens wird die zweite Versorgungsspannung so gewählt, daß bei Aktivierung einer der Wortleitungen über den zugehörigen Wortleitungstreiber das Potential der Wortleitung kleiner als das oder gleich dem Plattenpotential zuzüglich der Einsatzspannung der Auswahltransistoren der Speicherzellen ist. Dies führt dazu, daß in der zweiten Betriebsart die Auswahltransistoren im leitenden Zustand nicht das volle Plattenpotential, auf dem sich die Bitleitungen befinden, zu den entsprechenden Speicherkondensatoren übertragen, sondern ein entsprechend niedrigeres Potential. Auch auf diese Weise wird also erreicht, daß in der zweiten Betriebsart Daten nicht mit dem vollen Signalpegel, sondern mit einem reduzierten bzw. "geschwächten" Signalpegel in die Speicherzellen eingeschrieben werden.

Nach einer Weiterbildung des integrierten Speichers ist in der ersten Betriebsart bei einem Schreibzugriff gleichzeitig nur eine der Wortleitungen innerhalb eines Zellenfeldes aktiviert. Dagegen ist in der zweiten Betriebsart bei einem Schreibzugriff mehr als eine Wortleitung pro Zellenfeld gleichzeitig aktiviert. Auf diese Weise wird erreicht, daß in der zweiten Betriebsart ein gleichzeitiger Schreibzugriff auf alle Speicherzellen erfolgt, die mit einer der gleichzeitig aktivierten Wortleitungen verbunden sind.

Die Erfindung wird im folgenden anhand der in den Figuren dargestellten Ausführungsbeispiele näher erläutert. Es zeigen:

Fig. 1 ein Ausführungsbeispiel des erfindungsgemäßen integrierten Speichers,

Fig. 2 eine Speicherzelle des Speichers aus Fig. 1,

Fig. 3 eine Schaltung zur Ansteuerung von Wortleitungen des Speichers aus Fig. 1 und

Fig. 4 einen Ausschnitt eines Wortleistungsdecoders aus Fig. 3.

Fig. 1 zeigt einen Ausschnitt eines erfindungsgemäßen integrierten Speichers vom Typ FRAM. Dieser weist ein Speicherzellenfeld auf, in dem Speicherzellen MC in Kreuzungspunkten von Bitleitungen BLi, Wortleitungen WLk und Plattenleitungen PLi angeordnet sind.

Fig. 2 zeigt eine der Speicherzellen MC aus Fig. 1. Sie weist einen Auswahltransistor T und einen Speicherkondensator C mit ferroelektrischem Dielektrikum auf. Die eine Elektrode des Speicherkondensators C ist mit einer der Plattenleitungen PLi und die andere Elektrode über die steuerbare Strecke des Auswahltransistors T mit einer der Bitleitungen BLi verbunden. Das Gate des Auswahltransistors T ist mit einer der Wortleitungen WLk verbunden.

DE 199 19 360 A 1

5

Fig. 1 ist weiter zu entnehmen, daß die Bitleitungen BLi über n-Kanal-Transistoren N mit einem Leseverstärker SA verbunden sind. Die Bitleitungen BLi sind außerdem über p-Kanal-Transistoren P mit dem Ausgang eines Spannungsgenerators 1 verbunden, der ein konstantes Plattenpotential VPL erzeugt. Die Steueranschlüsse des n-Kanal-Transistors N und des p-Kanal-Transistors P, die jeweils der gleichen Bitleitung BLi zugeordnet sind, sind jeweils mit einer Spaltenauswahlleitung CSLi verbunden.

Die Plattenleitungen PLi sind am Rande des Zellenfeldes miteinander verbunden. Über einen ersten Transistor T1 vom p-Kanal-Typ sind sie mit dem Ausgang des Spannungsgenerators 1 verbunden. Der erste Transistor T1 ist an seinem Gate mit einem Testsignal TEST verbunden. Die Plattenleitungen PLi sind außerdem über einen zweiten Transistor T2 vom n-Kanal-Typ mit einer Kontaktfläche A des Speichers verbunden. Auch das Gate des zweiten Transistors T2 ist mit dem Testsignal TEST verbunden. Das Testsignal TEST bestimmt, in welcher Betriebsart sich der Speicher befindet. Bei einem niedrigen Pegel (0 V) des Testsignals befindet sich der Speicher in einer Normalbetriebsart und bei einem hohen Pegel (3,1 V) des Testsignals in einer Testbetriebsart.

Der in Fig. 1 dargestellte Speicher weist lediglich ein zusammenhängendes Speicherzellenfeld und einen Leseverstärker SA auf. Außerdem sind lediglich zwei der Wortleitungen WLk und vier der Bitleitungen BLi mit den entsprechenden Plattenleitungen PLi dargestellt. In Wirklichkeit weisen Speicher in der Regel mehrere Zellenfelder sowie eine große Anzahl von Bitleitungen und Wortleitungen sowie zugehörige Leseverstärker auf.

Weiterhin werden bei FRAMs üblicherweise differenzielle Leseverstärker SA eingesetzt, denen bei einem Schreibzugriff außer dem über die jeweils ausgewählte Bitleitung zugeführten Signal auch ein Referenzsignal über eine zugehörige komplementäre Bitleitung zugeführt wird. In Fig. 1 wurden aus Gründen der vereinfachten Darstellung jedoch keine Paare von komplementären Bitleitungen, sondern nur einfache Bitleitungen BLi dargestellt.

In der Normalbetriebsart ist die Funktionsweise des in Fig. 1 dargestellten Speichers wie folgt: Über entsprechende Adressen erfolgt mittels nicht dargestellter Decoder eine Auswahl einer der Wortleitungen WLk und einer der Spaltenleitungen CSLi. Die ausgewählten Leitungen nehmen einen hohen Pegel an, während die nicht ausgewählten Leitungen einen niedrigen Pegel beibehalten. Wird beispielsweise die Wortleitung WL0 und die Spaltenleitung CSL0 ausgewählt, werden alle mit der Wortleitung WL0 verbundenen Auswahltransistoren T leitend geschaltet, während die mit den übrigen Wortleitungen WLk verbundenen Auswahltransistoren gesperrt bleiben. Ferner wird der mit der Spaltenauswahlleitung CSL0 verbundene n-Kanal-Transistor N leitend geschaltet und der mit ihr verbundene p-Kanal-Transistor P gesperrt. Dagegen bleiben die den übrigen Spaltenauswahlleitungen CSLi zugeordneten n-Kanal-Transistoren N gesperrt und p-Kanal-Transistoren P leitend. Bei einem Schreibzugriff vom Leseverstärker SA übertragene Daten werden somit nur zu der Bitleitung BL0 übertragen. Die übrigen Bitleitungen BLi bleiben über ihre p-Kanal-Transistoren P auf dem vom Spannungsgenerator 1 erzeugten Plattenpotential VPL.

Da in der Normalbetriebsart der erste Transistor T1 leitet und der zweite Transistor T2 sperrt, liegt das Plattenpotential VPL auch auf sämtlichen Plattenleitungen PLi an. Das Plattenpotential VPL ist gleich dem arithmetischen Mittel zweier Versorgungspotentiale GND, VDD des Speichers. Das erste Versorgungspotential GND ist beispielsweise Masse (0 V) und das zweite Versorgungspotential VDD ist

6

gleich 2,5 V. Dann hat das Plattenpotential VPL einen Wert von 1,25 V. Erzeugt der Leseverstärker SA bei dem Schreibzugriff beispielsweise 2,5 V an seinem Ausgang, wird dieses Potential über den leitend geschalteten n-Kanal-Transistor N der Bitleitung BL0 zu dieser übertragen und liegt über den leitenden Auswahltransistor T an der einen Elektrode des Speicherkondensators C an. An der anderen Elektrode des Speicherkondensators C liegt über die entsprechende Plattenleitung PL0 das Plattenpotential von 1,25 V an. Somit liegt am Speicherkondensator C eine positive Spannung von 1,25 V an, die zu einer entsprechenden Polarisation seines ferroelektrischen Dielektrikums führt. Anschließend ist eine logische "1" in der Speicherzelle MC gespeichert. Zum Einschreiben einer logischen "0" erzeugt der Leseverstärker SA bei dem Schreibzugriff ein Potential von 0 V, das über die ausgewählte Bitleitung BL0 und den Auswahltransistor T der Speicherzelle MC an der einen Elektrode des Speicherkondensators C anliegt. Da die Plattenleitung PL0 nach wie vor das Plattenpotential von 1,25 V aufweist, liegt nunmehr eine Spannung von -1,25 V am Speicherkondensator C an, was zu einer im Vergleich zum Einschreiben einer logischen "1" entgegengesetzten Polarisation des ferroelektrischen Dielektrikums des Speicherkondensators C führt.

Eine Beeinflussung des gespeicherten Zustands der Speicherzellen MC, die sich im Schnittpunkt der Bitleitung BL0 mit den übrigen Wortleitungen WLk befinden, erfolgt nicht, da deren Auswahltransistoren T gesperrt sind. Außerdem erfolgt keine Beeinflussung der Speicherzellen MC, die sich im Kreuzungspunkt der Wortleitung WL0 mit den übrigen Bitleitungen BLi befinden, da letztere über ihre p-Kanal-Transistoren P auf dem Plattenpotential von 1,25 V gehalten werden und somit trotz des leitenden Auswahltransistors T dieser Speicherzellen MC an deren Speicherkondensatoren C eine Spannung von 0 V anliegt. Eine Spannung von 0 V an einem der Speicherkondensatoren C hat zur Folge, daß dessen Speicherzustand beziehungsweise dessen Polarisationszustand nicht beeinflusst wird.

Wird der in Fig. 1 dargestellte Speicher in der Testbetriebsart betrieben, indem das Testsignal TEST einen hohen Pegel von 3,1 V annimmt, wird der erste Transistor T1 gesperrt, wodurch die Plattenleitungen PLi vom Ausgang des das Plattenpotential VPL erzeugenden Spannungsgenerators 1 getrennt werden. Außerdem wird der zweite Transistor T2 leitend geschaltet, wodurch die Plattenleitungen PLi mit der Kontaktfläche A verbunden werden. Es ist dann möglich, über die Kontaktfläche A den Plattenleitungen PLi ein beliebiges Potential VF zuzuführen, das sich vom Plattenpotential VPL unterscheidet. Außerdem sind in der Testbetriebsart alle Spaltenauswahlleitungen CSLi während durchzuführender Schreibzugriffe auf niedrigem Potential, so daß die Bitleitungen BLi alle das Plattenpotential VPL aufweisen. Wird nun wenigstens eine der Wortleitungen WLk aktiviert, werden die mit dieser Wortleitung verbundenen Auswahltransistoren T der Speicherzellen MC leitend geschaltet. Über die Auswahltransistoren T liegt dann das Plattenpotential VPL in Höhe von 1,25 V an der einen Elektrode der Speicherkondensatoren C der ausgewählten Speicherzellen MC. Wird nun beispielsweise das Potential VF = 0 V gewählt, liegt an den entsprechenden Speicherkondensatoren C eine positive Spannung von 1,25 V. Somit wird eine logische "1" gleichzeitig in alle Speicherzellen MC geschrieben, deren Wortleitung WLk einen hohen Pegel aufweist. Nimmt das Potential VF beispielsweise einen hohen Pegel von 2,5 V an, liegt an den entsprechenden Speicherkondensatoren C der ausgewählten Speicherzellen C eine negative Spannung von -1,25 V an, so daß eine logische "0" in diese Speicherzellen MC eingeschrieben wird. In beiden

DE 199 19 360 A 1

7

Fällen erfolgt ein gleichzeitiges Einschreiben des neuen logischen Zustands in mehrere der Speicherzellen MC.

Beim in Fig. 1 dargestellten Speicher erfolgt in der Normalbetriebsart zum selben Zeitpunkt immer nur die Aktivierung lediglich einer der Wortleitungen WLk. In der Testbetriebsart dagegen werden alle Wortleitungen WLk gleichzeitig aktiviert, so daß alle Auswahltransistoren T der Speicherzellen MC gleichzeitig leitend geschaltet werden. Auf diese Weise erfolgt ein gleichzeitiger Schreibzugriff auf alle Speicherzellen MC. Hierauf wird weiter unten bezüglich der Fig. 4 noch eingegangen.

Um den Speicherzellen MC in der Testbetriebsart "geschwächte" Bits zuzuführen, also solche, die nicht mit dem vollen Signalpegel von 1,25 V in die Speicherzellen eingeschrieben werden, wird der Wert des bestimmten Potentials VF beim Einschreiben einer logischen "0" so gewählt, daß er zwischen dem Plattenpotential VDD von 1,25 V und dem positiven Versorgungspotential von 2,5 V, beispielsweise bei 2 V liegt. Zum Einschreiben einer "geschwächten" logischen "1" wird das bestimmte Potential VF zwischen 0 V und 1,25 V gewählt, beispielsweise bei 0,5 V. Auf diese Weise wird eine normalerweise in längeren Zeitspannen erfolgende Alterung der Speicherzellen MC simuliert, die ebenfalls eine Abschwächung der in ihr gespeicherten Signale zur Folge hat.

Bei anderen Ausführungsbeispielen der Erfindung ist es auch möglich, daß die Plattenleitungen PLi in der Testbetriebsart nicht mit einer Kontaktfläche A, wie beim Speicher gemäß Fig. 1, sondern mit einem weiteren internen Spannungsgenerator des Speichers verbunden werden, der das beschriebene Potential VF erzeugt.

Bei anderen Ausführungsbeispielen der Erfindung ist es auch möglich, daß lediglich ein Teil der Plattenleitungen PLi in der Testbetriebsart das vom konstanten Plattenpotential VPL abweichende Potential VF aufweisen. Dann erfolgt gleichzeitig lediglich ein Schreibzugriff auf die mit diesen Plattenleitungen PLi verbundenen Speicherzellen MC. Die Plattenleitungen können dann natürlich nicht alle elektrisch miteinander verbunden sein.

Fig. 3 zeigt eine Schaltungsanordnung zur Ansteuerung der beiden in Fig. 1 dargestellten Wortleitungen WLk. Dargestellt ist ein Wortleistungsdecoder RDEC, dem Wortadressen RADR zuführbar sind. In der Normalbetriebsart aktiviert er einen seiner Ausgänge B, C in Abhängigkeit der anliegenden Wortadresse RADR. Die Ausgänge B, C des Wortleistungsdecoders RDEC sind über je einen Wortleistungstreiber D mit einer der Wortleitungen WLk verbunden. Die Wortleistungstreiber D weisen Versorgungsspannungsanschlüsse auf, die über einen dritten Transistor T3 vom p-Kanal-Typ mit dem Ausgang eines zweiten Spannungsgenerators 2 verbunden ist, der zur Erzeugung einer ersten Versorgungsspannung VPP dient. Außerdem sind die Versorgungsanschlüsse der Wortleistungstreiber D über einen vierten Transistor T4 vom n-Kanal-Typ mit einer zweiten Kontaktfläche E verbunden, über die eine zweite Versorgungsspannung Vext zuführbar ist. Die Gates des dritten Transistors T3 und des vierten Transistors T4 sind mit dem Testsignal TEST verbunden. In der Normalbetriebsart (Test = 0 V) wird den Wortleistungstreibern D über den dritten Transistor T3 die vom zweiten Spannungsgenerator 2 erzeugte erste Versorgungsspannung VPP zugeführt. In der Testbetriebsart (Test = 3,1 V) wird den Wortleistungstreibern D über den vierten Transistor T4 die zweite Versorgungsspannung Vext zugeführt. Die erste Versorgungsspannung VPP hat den Wert 3,1 V. Wird über den Wortleistungsdecoder RDEC eine der Wortleitungen WLk aktiviert, nimmt diese in der Normalbetriebsart den Wert der ersten Versorgungsspannung VPP, also 3,1 V an. Mit diesen 3,1 V wird der jeweilige

8

Auswahltransistor T der Speicherzellen MC angesteuert, so daß über diesen beim Einschreiben einer logischen "1" auch das Potential von 2,5 V vom Verstärker SA zum Speicherkondensator C übertragen werden kann. Die Einsatzspannung der Auswahltransistoren T der Speicherzellen MC beträgt 0,6 V.

In der Testbetriebsart aktiviert der Wortleistungstreiber RDEC, unabhängig von der an ihm anliegenden Wortadresse RADR, alle Wortleitungen WLk gleichzeitig. Würden die Wortleistungstreiber D auch in der Testbetriebsart vom zweiten Spannungsgenerator 2 versorgt, müßte dieser entsprechend groß dimensioniert werden, um gleichzeitig eine Vielzahl von Wortleistungstreibern D treiben zu können. Daher erfolgt in der Testbetriebsart die Versorgung der Wortleistungstreiber nicht über den zweiten Spannungsgenerator 2, sondern über die zweite Kontaktfläche E von außerhalb des integrierten Speichers.

Bei diesem Ausführungsbeispiel ist die zweite Versorgungsspannung Vext, die über die zweite Kontaktfläche E in der Testbetriebsart zugeführt wird, kleiner als die erste Versorgungsspannung VPP. Sie hat einen Wert von 2 V und ist somit größer als das Plattenpotential (1,25 V) zuzüglich der Einsatzspannung der Auswahltransistoren T der Speicherzellen MC (0,6 V). In der Testbetriebsart werden die aktivierten Wortleitungen WLk auf den Wert der zweiten Versorgungsspannung Vext = 2 V gebracht, so daß an den Gates der entsprechenden Auswahltransistoren T 2 V anliegen. Diese Gatespannung reicht aus, um die in der Testbetriebsart auf allen Bitleitungen BLi anliegende Plattenpotential VPL von 1,25 V vollständig an die entsprechende Elektrode der Speicherkondensatoren C durchzuschalten.

Bei anderen Ausführungsbeispielen der Erfindung ist es auch möglich, den Wert der zweiten Versorgungsspannung Vext kleiner als den oder gleich dem Wert des Plattenpotentials zuzüglich der Einsatzspannung der Auswahltransistoren T zu wählen. Wählt man die zweite Versorgungsspannung Vext = 1,25 V und damit gleich dem Plattenpotential VPL, wird letzteres nicht mehr in voller Höhe in der Testbetriebsart über die Auswahltransistoren T zu den Speicherkondensatoren C übertragen. Somit kommt es auch hier zum Einschreiben "geschwächter" Bits in die Speicherzellen MC, wodurch wiederum eine Alterung der Speicherzellen MC simuliert wird.

Bei anderen Ausführungsbeispielen der Erfindung können die Wortleistungstreiber D in der Testbetriebsart auch mit einer entsprechenden internen zweiten Versorgungsspannung Vext des integrierten Speichers verbunden werden, womit die zweite Kontaktfläche E überflüssig wäre. Auch dann wäre es vorteilhaft, wenn die zweite Versorgungsspannung Vext kleiner als die erste Versorgungsspannung VPP gewählt wird, um die Leistungsaufnahme des Speichers zu reduzieren. Zur Erzeugung der zweiten Versorgungsspannung Vext müßte dann ein entsprechender weiterer Spannungsgenerator innerhalb des Speichers vorgesehen werden.

Fig. 4 zeigt einen Ausschnitt des Wortleistungsdecoders RDEC aus Fig. 3. Dieser weist zwischen dem hohen Versorgungspotential VDD und dem niedrigen Versorgungspotential Masse eine Reihenschaltung eines fünften T5, eines sechsten T6, eines siebten T7 und eines achten T8 Transistors auf. Der fünfte Transistor ist vom p-Kanal-Typ, während die übrigen drei Transistoren vom n-Kanal-Typ sind. Ein Schaltungsknoten zwischen dem fünften T5 und dem sechsten T6 Transistor ist über eine Haltschaltung H in Form zweier antiparalleler Inverter und einen nachgeschalteten Inverter I mit dem Ausgang B des Wortleistungsdecoders RDEC verbunden. Ein Schaltungsknoten zwischen dem siebten T7 und dem achten T8 Transistor ist über einen neunten Transistor T9 vom n-Kanal-Typ mit dem Eingang

DE 199 19 360 A 1

9

der Halteschaltung H verbunden. Das Gate des neunten Transistors T9 ist mit dem Testsignal TEST verbunden.

Die Gates des fünften T5 und des achten T8 Transistors sind mit einem Blocksignal BS verbunden. Das Gate des sechsten Transistors T6 ist mit einem ersten Adresssignal A1 und das Gate des siebten Transistors T7 mit einem zweiten Adresssignal A2 verbunden. Die beiden Adresssignale A1, A2 und das Blocksignal BS bilden die Wortadresse RADR. Jedem Ausgang B, C des Wortleitungsdecoders RDEC aus Fig. 3 ist eine Schaltung, wie sie in Fig. 4 dargestellt ist, zugeordnet. Alle diese Schaltungen haben das gleiche Blocksignal BS gemeinsam. Dagegen unterscheiden sich ihre Adresssignale A1, A2. Das Blocksignal BS dient der Auswahl des in Fig. 1 dargestellten Zellenfeldes, während anderen Zellenfeldern des Speichers, die in Fig. 1 nicht dargestellt wurden, andere Blocksignale zugeordnet sind. Über die Adresssignale A1, A2 erfolgt die Auswahl einer der Wortleitungen WLk des Zellenfeldes in der Normalbetriebsart.

In der Normalbetriebsart (Test = 0 V), ist der neunte Transistor T9 gesperrt, so daß der sechste Transistor T6 und der siebte Transistor T7 nicht überbrückt sind. Es erfolgt daher bei Anlegen einer Wortadresse RADR immer nur die Auswahl einer der Wortleitungen WLk, da nur einer der Ausgänge B, C des Wortleitungsdecoders RDEC aktiviert wird. In der Testbetriebsart (Test = 3,1 V) überbrückt der nun leitende neunte Transistor T9 den sechsten T6 und siebten T7 Transistor, so daß die Adresssignale A1, A2 wirkungslos sind, und über das Blocksignal BS sämtliche Ausgänge B, C des Wortleitungsdecoders RDEC gleichzeitig aktiviert werden, das heißt logisch '0' sind. Auf diese Weise werden in der Testbetriebsart bei einem hohen Pegel des Blocksignals BS alle Wortleitungen WLk eines Blockes beziehungsweise eines Zellenfeldes gleichzeitig aktiviert.

Wollte man beim in Fig. 1 dargestellten Speicher in der Normalbetriebsart in alle Speicherzellen MC die gleiche Information einschreiben, müßte man nacheinander alle Wortleitungen WLk und alle Bitleitungen BLi auswählen. Das Einschreiben könnte - wie bei herkömmlichen nach dem VDD/2-Konzept arbeitenden FRAMs - nur sequentiell in alle Speicherzellen MC erfolgen. Durch die erfindungsgemäße Testbetriebsart ist es möglich, eine Vielzahl von Speicherzellen MC gleichzeitig mit denselben Daten zu beschreiben und somit den Zeitaufwand für das Einschreiben dieser Daten zu reduzieren.

Patentansprüche

1. Integrierter Speicher

- mit Speicherzellen (MC), die jeweils wenigstens einen Auswahltransistor (T) und einen Speicherkondensator (C) aufweisen,
- mit Bitleitungen (BLi), Wortleitungen (WLk) und Plattenleitungen (PLi), in deren Kreuzungspunkten die Speicherzellen (MC) angeordnet sind,
- bei dem bei jeder Speicherzelle (MC) die eine Elektrode des Speicherkondensators (C) über den Auswahltransistor (T) mit einer der Bitleitungen (BLi), die andere Elektrode mit einer der Plattenleitungen (PLi) und ein Steueranschluß des Auswahltransistors (T) mit einer der Wortleitungen (WLk) verbunden ist,
- mit einer ersten Betriebsart,
- in der die Plattenleitungen (PLi) ein konstantes Plattenpotential (VPL) aufweisen,
- in der die Bitleitungen (BLi) ebenfalls das Plattenpotential (VPL) aufweisen, sofern kein Zugriff auf eine der Speicherzellen (MC) erfolgt,

10

- und in der bei einem Schreibzugriff auf eine der Speicherzellen (MC) die mit dieser verbundene Bitleitung (BLi) zum Einschreiben eines ersten logischen Zustands ein erstes Potential (GND) annimmt, das kleiner als das Plattenpotential (VPL) ist, und zum Einschreiben eines zweiten logischen Zustands ein zweites Potential (VDD) annimmt, das größer als das Plattenpotential ist,
- und mit einer zweiten Betriebsart,
- in der die Bitleitungen (BLi) das Plattenpotential (VPL) aufweisen
- und in der bei einem Schreibzugriff wenigstens eine der Plattenleitungen (PLi) ein bestimmtes Potential (VF) annimmt, das sich vom Plattenpotential (VPL) unterscheidet.

2. Integrierter Speicher nach Anspruch 1, bei dem in der zweiten Betriebsart bei einem Schreibzugriff mehrere der Plattenleitungen (PLi) gleichzeitig das bestimmte Potential (VF) annehmen.

3. Integrierter Speicher nach Anspruch 1 oder 2, bei dem das bestimmte Potential (VF) entweder das erste (GND) oder das zweite (VDD) Potential ist.

4. Integrierter Speicher nach Anspruch 1 oder 2, bei dem das bestimmte Potential (VF) zwischen dem Plattenpotential (VPL) und entweder dem ersten (GND) oder dem zweiten (VDD) Potential liegt.

5. Integrierter Speicher nach einem der vorstehenden Ansprüche mit einer Anschlußfläche (A) zum Zuführen des bestimmten Potentials (VF) von außerhalb des Speichers.

6. Integrierter Speicher nach Anspruch 1,

- mit einem Wortleitungsdecoder (RDEC) zum Adressieren der Wortleitungen (WLk) in Abhängigkeit von ihm zuführbaren Wortadressen (RADR),
- mit Wortleitungstreibern (D), die Ausgänge des Wortleitungsdecoders (RDEC) mit jeweils einer der Wortleitungen (WLk) verbinden,
- mit einem Spannungsgenerator (2) zur Erzeugung einer ersten Versorgungsspannung (VPP) für die Wortleitungstreiber (D) in der ersten Betriebsart
- und mit einer Anschlußfläche (E) zur Zuführung einer zweiten Versorgungsspannung (Vext) für die Wortleitungstreiber (D) in der zweiten Betriebsart.

7. Integrierter Speicher nach Anspruch 1,

- dessen Wortleitungen (WLk) und Bitleitungen (BLi) mit den damit verbundenen Speicherzellen (MC) wenigstens ein Zellenfeld bilden,
- bei dem in der ersten Betriebsart bei einem Schreibzugriff gleichzeitig nur eine der Wortleitungen (WLk) pro Zellenfeld aktiviert ist
- und bei dem in der zweiten Betriebsart bei einem Schreibzugriff mehrere der Wortleitungen (WLk) pro Zellenfeld gleichzeitig aktiviert sind.

8. Betriebsverfahren für einen integrierten Speicher

- mit Speicherzellen (MC), die jeweils wenigstens einen Auswahltransistor (T) und einen Speicherkondensator (C) aufweisen,
- mit Bitleitungen (BLi), Wortleitungen (WLk) und Plattenleitungen (PLi), in deren Kreuzungspunkten die Speicherzellen (MC) angeordnet sind,
- bei dem bei jeder Speicherzelle (MC) die eine Elektrode des Speicherkondensators (C) über den Auswahltransistor (T) mit einer der Bitleitungen (BLi), die andere Elektrode mit einer der Plattenleitungen (PLi) und ein Steueranschluß des Aus-

DE 199 19 360 A 1

11

12

- wahltransistors (T) mit einer der Wortleitungen (WLk) verbunden ist,
mit folgenden Schritten:
- der Speicher wird in einer ersten Betriebsart betrieben, 5
 - in der den Plattenleitungen (PLi) ein konstantes Plattenpotential (VPL) zugeführt wird,
 - in der den Bitleitungen (BLi) ebenfalls das Plattenpotential (VPL) zugeführt wird, sofern kein Zugriff auf eine der Speicherzellen (MC) erfolgt, 10
 - und in der bei einem Schreibzugriff auf eine der Speicherzellen (MC) die mit dieser verbundene Bitleitung (BLi) zum Einschreiben eines ersten logischen Zustands auf ein erstes Potential (GND) gebracht wird, das kleiner als das Plattenpotential (VPL) ist, und zum Einschreiben eines zweiten logischen Zustands auf ein zweites Potential (VDD) gebracht wird, das größer als das Plattenpotential ist, 15
 - und der Speicher wird in einer zweiten Betriebsart betrieben, 20
 - in der den Bitleitungen (BLi) das Plattenpotential (VPL) zugeführt wird
 - und in der bei einem Schreibzugriff eine der Plattenleitungen (PLi) auf ein bestimmtes Potential (VF) gebracht wird, das sich vom Plattenpotential (VPL) unterscheidet. 25
9. Betriebsverfahren nach Anspruch 8 für einen integrierten Speicher
- mit einem Wortleistungsdecoder (RDEC) zum 30
 - Adressieren der Wortleitungen (WLk) in Abhängigkeit von ihm zuführbaren Wortadressen (RADR),
 - mit Wortleistungstreibern (D), die Ausgänge des Wortleistungsdecoders (RDEC) mit jeweils einer 35
 - der Wortleitungen (WLk) verbinden,
- mit folgenden Schritten:
- in der ersten Betriebsart wird den Wortleistungstreibern (D) eine erste Versorgungsspannung (VPP) zugeführt 40
 - und in der zweiten Betriebsart wird den Wortleistungstreibern (D) eine zweite Versorgungsspannung (Vext) zugeführt, die kleiner als die erste Versorgungsspannung (VPP) ist.
10. Betriebsverfahren nach Anspruch 9, bei dem die 45
- erste Versorgungsspannung (VPP) innerhalb des Speichers erzeugt wird und die zweite Versorgungsspannung (Vext) von außerhalb des Speichers zugeführt wird.
11. Betriebsverfahren nach Anspruch 9 oder 10, bei 50
- dem die zweite Versorgungsspannung (Vext) so gewählt wird, daß bei Aktivierung einer der Wortleitungen (WLk) über den zugehörigen Wortleistungstreiber (D) das Potential der Wortleitung größer als das Plattenpotential (VPP) zuzüglich der Einsatzspannung (Vth) der Auswahltransistoren (T) der Speicherzellen (MC) ist. 55
12. Betriebsverfahren nach Anspruch 9 oder 10, bei 60
- dem die zweite Versorgungsspannung (Vext) so gewählt wird, daß bei Aktivierung einer der Wortleitungen (WLk) über den zugehörigen Wortleistungstreiber (D) das Potential der Wortleitung kleiner als das oder gleich dem Plattenpotential (VPP) zuzüglich der Einsatzspannung (Vth) der Auswahltransistoren (T) der Speicherzellen (MC) ist. 65

Hierzu 4 Seite(n) Zeichnungen

- Leerseite -

ZEICHNUNGEN SEITE 1

Nummer:
Int. Cl.7:
Offenlegungstag:

DE 199 19 360 A1
G 11 C 11/22
2. November, 2000

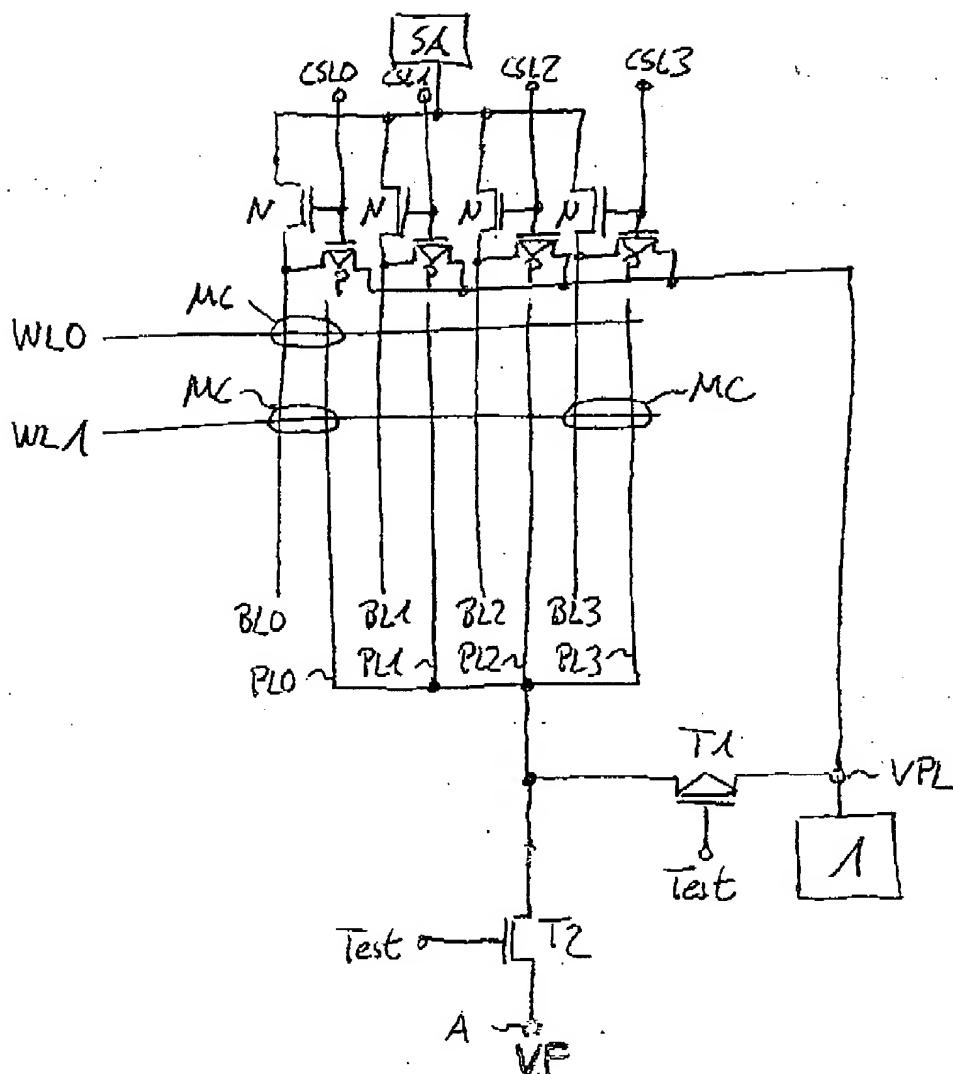
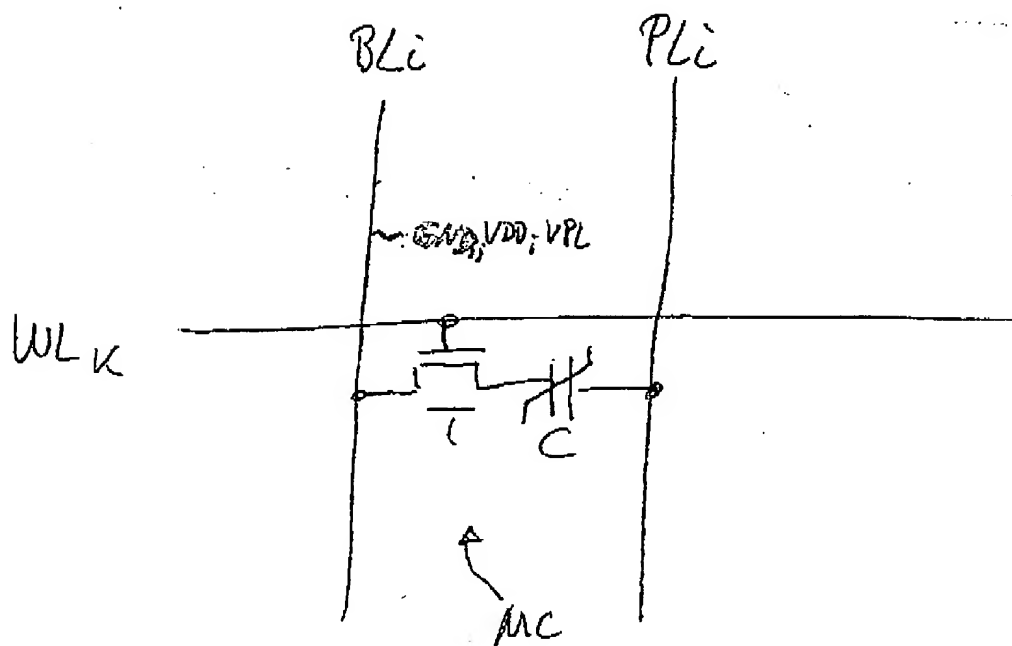


Fig. 1

ZEICHNUNGEN SEITE 2

Nummer:
Int. Cl.⁷:
Offenlegungstag:DE 199 19 360 A1
G 11 C 11/22
2. November 2000Fig. 2

ZEICHNUNGEN SEITE 3

Nummer:
Int. Cl.7:
Offenlegungstag:

DE 199 19 360 A1
G 11 C 11/22
2. November 2000

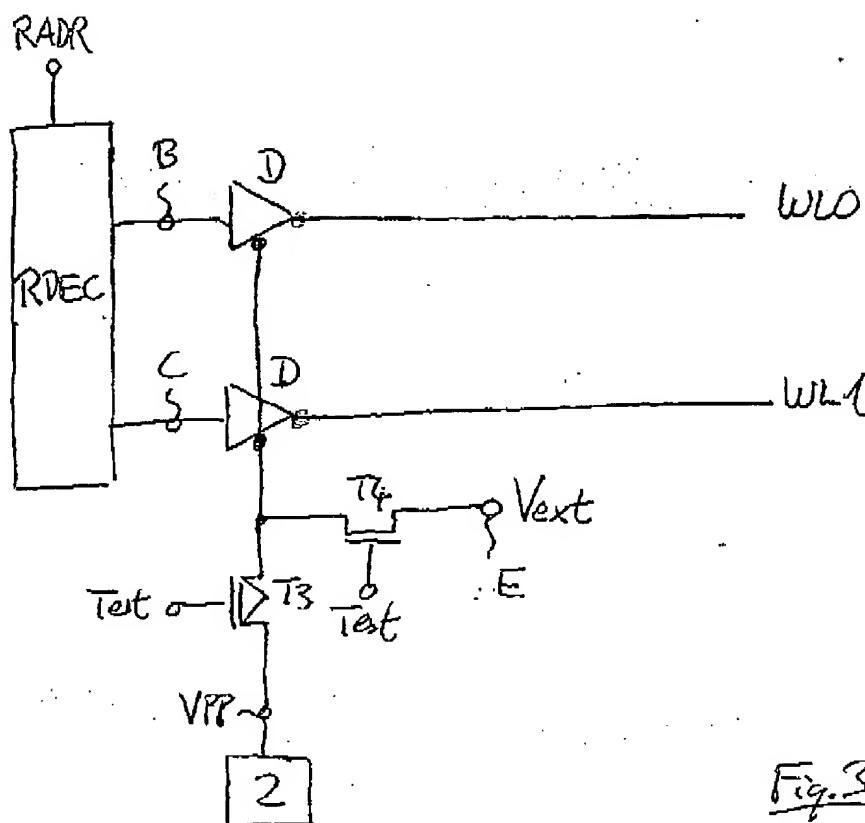
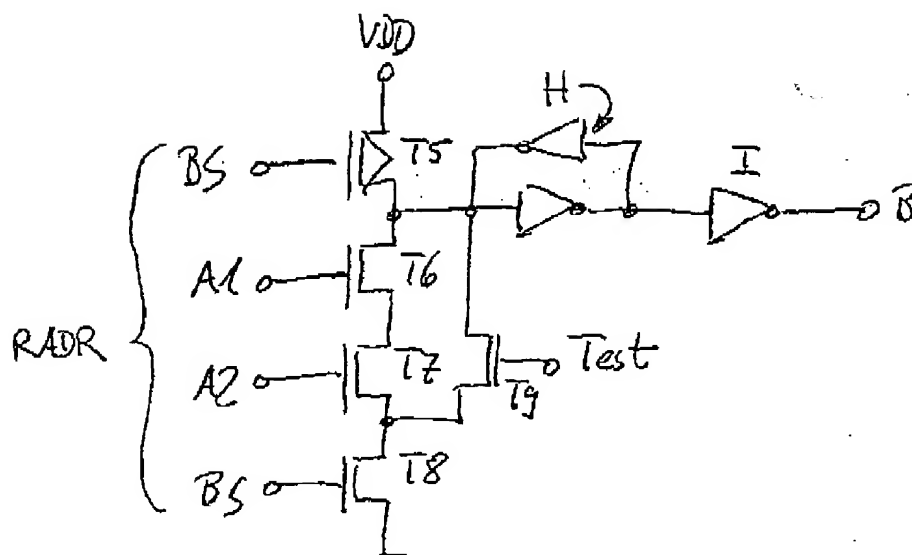


Fig. 3

ZEICHNUNGEN SEITE 4

Nummer:
Int. Cl.7:
Offenlegungstag:DE 199 19 380 A1
G 11 C 11/22
2. November 2000Fig. 4